

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-307060

(43)Date of publication of application : 02.11.2000

(51)Int.Cl.

H01L 27/04
H01L 21/822

(21)Application number : 11-113867

(71)Applicant : NEC YAMAGATA LTD

(22)Date of filing : 21.04.1999

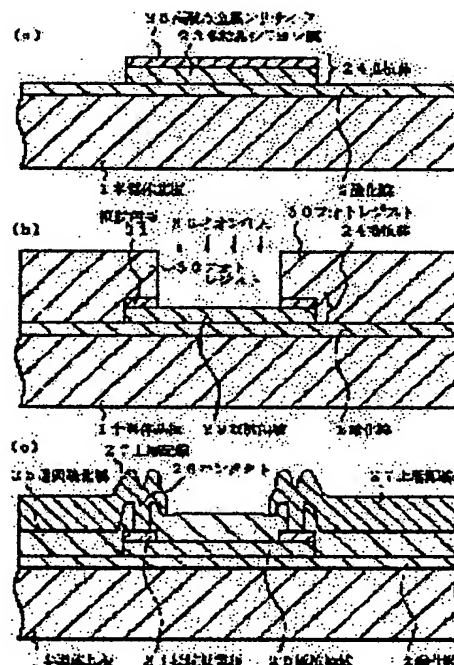
(72)Inventor : KASAHARA NORIKAZU

(54) MANUFACTURE OF RESISTOR ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a method of manufacturing a resistive element which is formed of polycrystalline silicone, processed of an electrode that comes into ohmic contact with a lead-out wiring keeping it stable and high in reproducibility, and regulated in resistance changing from an initial resistance to an optional resistance from the time when the electrode is formed.

SOLUTION: A high-melting point metal silicide 28 is deposited on a polycrystalline film 23 for the formation of a resistor 24 of a resistive element, and the high-melting point metal silicide 28 is left unremoved only on the connection ends of the resistive element, by which contact holes are restrained from being excessively dug when the contact holes are board. At the same time, impurity ions are implanted after a process where a high-melting point silicide is left unremoved, by which the resistive element can be regulated in resistance.



LEGAL STATUS

[Date of request for examination] 24.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3420104

[Date of registration] 18.04.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-307060

(P2000-307060A)

(43) 公開日 平成12年11月2日 (2000.11.2)

(51) Int.Cl.⁷H01L 27/04
21/822

識別記号

F I

H01L 27/04

テーマコード(参考)

P 5F038

審査請求 有 請求項の数 6 O L (全 4 頁)

(21) 出願番号 特願平11-113867

(22) 出願日 平成11年4月21日 (1999. 4. 21)

(71) 出願人 390001915

山形日本電気株式会社

山形県山形市北町4丁目12番12号

(72) 発明者 笠原 則一

山形県山形市北町四丁目12番12号 山形日
本電気株式会社内

(74) 代理人 100082935

弁理士 京本 直樹 (外2名)

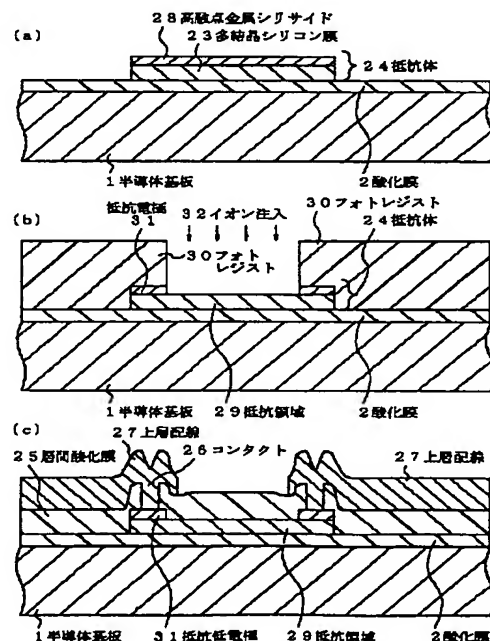
Fターム(参考) 5F038 AR08 AR09 AR10 AR16 EZ13
EZ15 EZ17 EZ20

(54) 【発明の名称】 抵抗素子の製造方法

(57) 【要約】

【課題】従来の多結晶シリコンを用いた抵抗素子の製造方法では、抵抗体の上の層間絶縁膜にコンタクトを開くときに層間絶縁膜を完全に取り除くためのオーバーエッチングにより抵抗体の接続部分が掘られ、洗浄工程を通して除去され難いエッチング反応生成物が残留し、その後に形成されるアルミニウム配線とのオーミックコンタクトが形成され難く、コンタクト抵抗の増大及びコンタクト抵抗のバラツキ増大を招いていた。

【解決手段】抵抗素子の抵抗体24となる多結晶シリコン膜23の上に高融点金属シリサイド28を堆積させ、抵抗素子の接続部分にのみ高融点金属シリサイドを残すことにより、コンタクト開口時のコンタクトの過剰な掘られを無くすることができる。それと同時に、高融点金属シリサイドを残す工程の後に、不純物のイオン注入を行うことにより、抵抗素子の抵抗値も調整することが出来る。



【特許請求の範囲】

【請求項 1】 第 1 絶縁膜上に順にシリコン膜と第 1 導電膜とからなる積層膜を形成し、前記積層膜の抵抗体となる部分以外の前記積層膜を除去して抵抗体を形成し、前記抵抗体の抵抗となる領域が露出するように前記抵抗体を含む前記第 1 絶縁膜上に第 2 絶縁膜を形成し、前記第 2 絶縁膜をマスクとして前記第 1 導電膜を除去して残った前記第 1 導電膜を前記抵抗体の電極とし、前記第 2 絶縁膜をマスクとして前記抵抗体に導電物を導入し、第 2 絶縁膜を除去して前記抵抗体を含む前記第 1 絶縁膜上に層間絶縁膜となる第 3 絶縁膜を形成し、前記抵抗体に導入された前記導電物を活性化する熱処理を施して前記抵抗体の抵抗値を調整し、前記抵抗体の電極の上の前記第 3 絶縁膜の所定領域を除去して抵抗体コンタクトを設け、前記抵抗体コンタクトに第 2 導電膜を埋め込むことを特徴とする抵抗素子の製造方法。

【請求項 2】 前記シリコン膜と前記第 1 導電膜とが、それぞれ不純物を含むポリシリコン膜と高融点金属シリサイド膜である請求項 1 記載の抵抗素子の製造方法。

【請求項 3】 前記不純物を含むポリシリコン膜が、化学的気相成長時に不純物ガスを導入して成長させて得られる、或いは、ノンドーブポリシリコン膜に不純物をイオン注入して得られる請求項 2 記載の抵抗素子の製造方法。

【請求項 4】 前記シリコン膜と前記第 1 導電膜とが、MOS トランジスタのゲート電極のそれぞれゲートポリシリコン膜とゲート金属シリサイド膜と同時に形成される請求項 1 乃至 3 記載の抵抗素子の製造方法。

【請求項 5】 前記第 2 絶縁膜が、レジスト膜である請求項 1 乃至 4 記載の抵抗素子の製造方法。

【請求項 6】 前記導電物が、イオン注入により前記レジスト膜をマスクとして前記抵抗体に導入される請求項 1 乃至 5 記載の抵抗素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、特に多結晶シリコンを用いた抵抗素子の製造方法に関する。

【0002】

【従来の技術】従来行われてきた、多結晶シリコンを用いた抵抗素子の製造方法について、図 2 を参照して説明する。図 2 (a) ~ (c) は、多結晶シリコンを用いた抵抗素子の製造方法を工程順に示す断面図である。

【0003】図 2 (a) に示すように、半導体基板 1 上に数十〜数百 nm の膜厚の酸化膜 2 を堆積させ、この上に数百 nm の膜厚の多結晶シリコン膜 3 を堆積させ、多結晶シリコン膜 3 の全面にリン等の不純物をイオン注入により導入し、図 2 (b) に示すようにフォトリソレジストを用いたマスクによりパターニングし、異方性のドライエッチング等により所望の抵抗体 4 を形成する。次に図

2 (c) に示すように、この上に層間絶縁膜となる層間酸化膜 5 を化学的気相成長 (Chemical Vapor Deposition の略称、以下 CVD と記す) 法により堆積させ、これにコンタクト 6 を開口する。このコンタクト 6 を通してアルミニウム等を半導体基板 1 全面に被着して、フォトリソレジストを用いたマスクにより抵抗体 4 とアルミニウム等からなる上層配線 7 を接続させる。

【0004】

【発明が解決しようとする課題】上記従来の製造方法では、コンタクト 6 を開口するときに抵抗体 4 の接続部分上の層間酸化膜 5 を異方性のドライエッチング等により除去するが、層間酸化膜 5 を完全に取り除くためのオーバーエッチングにより抵抗体 4 の接続部分が掘られ、洗浄工程を通して除去され難いエッチング反応生成物が残留し、その後にアルミニウム配線 7 が形成されて抵抗体 4 とアルミニウム配線 7 とのオーミックコンタクトのための熱処理が施されても、オーミックコンタクトが形成されず、コンタクト抵抗の増大及びコンタクト抵抗のバラツキ増大を招いていた。

【0005】本発明は、多結晶シリコンからなる抵抗素子の電極部が、抵抗素子の取り出し配線とのオーミックコンタクトに関して安定して、再現性良く得られ、しかも抵抗素子の電極部形成と同時に抵抗値を初期の値から変化させて調整できる抵抗素子の製造方法を提供するものである。

【0006】

【課題を解決するための手段】本発明の抵抗素子の製造方法は、第 1 絶縁膜上に順にシリコン膜と第 1 導電膜とからなる積層膜を形成し、前記積層膜の抵抗体となる部分以外の前記積層膜を除去して抵抗体を形成し、前記抵抗体の抵抗となる領域が露出するように前記抵抗体を含む前記第 1 絶縁膜上に第 2 絶縁膜を形成し、前記第 2 絶縁膜をマスクとして前記第 1 導電膜を除去して残った前記第 1 導電膜を前記抵抗体の電極とし、前記第 2 絶縁膜をマスクとして前記抵抗体に導電物を導入し、第 2 絶縁膜を除去して前記抵抗体を含む前記第 1 絶縁膜上に層間絶縁膜となる第 3 絶縁膜を形成し、前記抵抗体に導入された前記導電物を活性化する熱処理を施して前記抵抗体の抵抗値を調整し、前記抵抗体の電極の上の前記第 3 絶縁膜の所定領域を除去して抵抗体コンタクトを設け、前記抵抗体コンタクトに第 2 導電膜を埋め込むことを特徴としており、具体的には、前記シリコン膜と前記第 1 導電膜とが、それぞれ不純物を含むポリシリコン膜と高融点金属シリサイド膜で有り、更には、前記不純物を含むポリシリコン膜が、化学的気相成長時に不純物ガスを導入して成長させて得られる、或いは、ノンドーブポリシリコン膜に不純物をイオン注入して得られるというものである。更に、具体的な適用形態として、前記シリコン膜と前記第 1 導電膜とが、MOS トランジスタのゲート

電極のそれぞれゲートポリシリコン膜とゲート金属シリサイド膜と同時に形成される。又、上述の製造方法において、前記第2絶縁膜が、レジスト膜であり、更に、前記導電物が、イオン注入により前記レジスト膜をマスクとして前記抵抗体に導入される、というものである。

【0007】

【発明の実施の形態】まず、本発明の第1の実施形態について、図1を用いて説明する。図1(a)～(c)は、多結晶シリコンを用いた抵抗素子の製造方法を工程順に示す断面図である。

【0008】図1(a)に示すように、半導体基板1上に数十～数百nmの膜厚の酸化膜2を堆積させ、この上にCVD法によりリン等の不純物を含む多結晶シリコン膜23を全面に形成し、更にその上にスパッタ法により高融点金属シリサイド28を全面に被着する。この後、フォトリジストを用いたマスク(図省略)により高融点金属シリサイド28及び多結晶シリコン膜23を抵抗体形状にパターンニングし、抵抗体24を得る。この場合、多結晶シリコン膜23及び高融点金属シリサイド28の堆積から抵抗体24形成に至るまでの工程は、MOS半導体装置のゲート電極或いはゲート配線用の多結晶シリコン膜23及び高融点金属シリサイド28の堆積からゲート電極或いはゲート配線の形成と同時に行っても良い。次に、図1(b)に示すように、抵抗体24を含む半導体基板1の上に、抵抗体24の接続部分以外の抵抗となる抵抗領域29のみが露出するようにフォトリジスト30を形成する。続いて、異方性のドライエッチング等を用いて、抵抗領域29上の高融点金属シリサイド28を除去し、抵抗電極31を形成する。続いて、フォトリジスト30をそのままマスクとして、抵抗素子を所望の抵抗値に調整するためにリン等のN型の不純物、或いは、ボロン等のP型不純物のイオン注入32を行う。この後、図1(c)に示すように、この上に層間絶縁膜となる層間酸化膜25をCVD法により堆積させ、これにコンタクト26を開口する。このコンタクト26を通して抵抗体24の接続部分の高融点金属シリサイドにアルミニウム等の上層配線27を接続する。

【0009】以上のように抵抗素子を形成すると、抵抗素子の配線との接続部分は低抵抗の高融点金属シリサイドで覆われているため、その下の多結晶シリコン膜はコ

ンタクト開口時のオーバーエッチングから保護され、従来のようにコンタクト抵抗を増大させるエッチング反応生成物は生じないので、コンタクト抵抗値自体が低く抑えることが出来る。更には、抵抗体にパターンニングされる前に、その母体である多結晶シリコン膜が示していた抵抗値を、抵抗体形成時のマスクを利用して抵抗体に不純物をイオン注入することにより抵抗素子の抵抗値を調整できる、という効果も有している。

【0010】

【発明の効果】上述のように、本発明の抵抗素子の製造方法において、抵抗素子の抵抗体となる多結晶シリコン膜の上に高融点金属シリサイドを堆積させ、抵抗素子の接続部分にのみ高融点金属シリサイドを残すことにより、従来のような、コンタクト開口時のコンタクトの掘られが無くなり、コンタクト抵抗のバラツキを抑えることができる。また、抵抗素子の接続部分には高融点金属シリサイドが形成されているためコンタクト抵抗値自体も低く抑えることが出来る。更に、抵抗素子の接続部分に高融点金属シリサイドを残す工程の後に、その工程に用いたマスクを利用して不純物のイオン注入を行うことにより、抵抗素子の抵抗値も調整することが出来る。

【図面の簡単な説明】

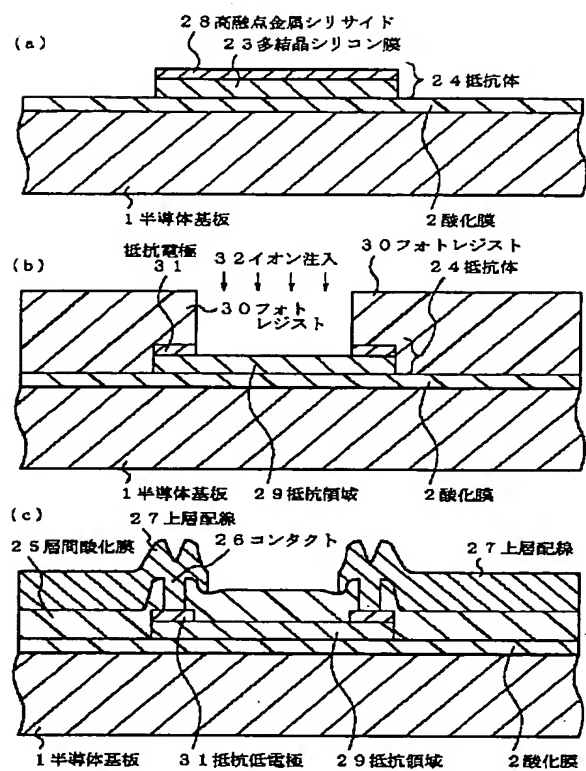
【図1】本発明の第1の実施形態の半導体装置の製造方法を工程順に示す断面図である。

【図2】従来の半導体装置の製造方法を工程順に示す断面図である。

【符号の説明】

- | | |
|------|------------|
| 1 | 半導体基板 |
| 2 | 酸化膜 |
| 3、23 | 多結晶シリコン膜 |
| 4、24 | 抵抗体 |
| 5、25 | 層間酸化膜 |
| 6、26 | コンタクト |
| 7、27 | 上層配線 |
| 28 | 高融点金属シリサイド |
| 29 | 抵抗領域 |
| 30 | フォトリジスト |
| 31 | 抵抗電極 |
| 32 | イオン注入 |

【図1】



【図2】

